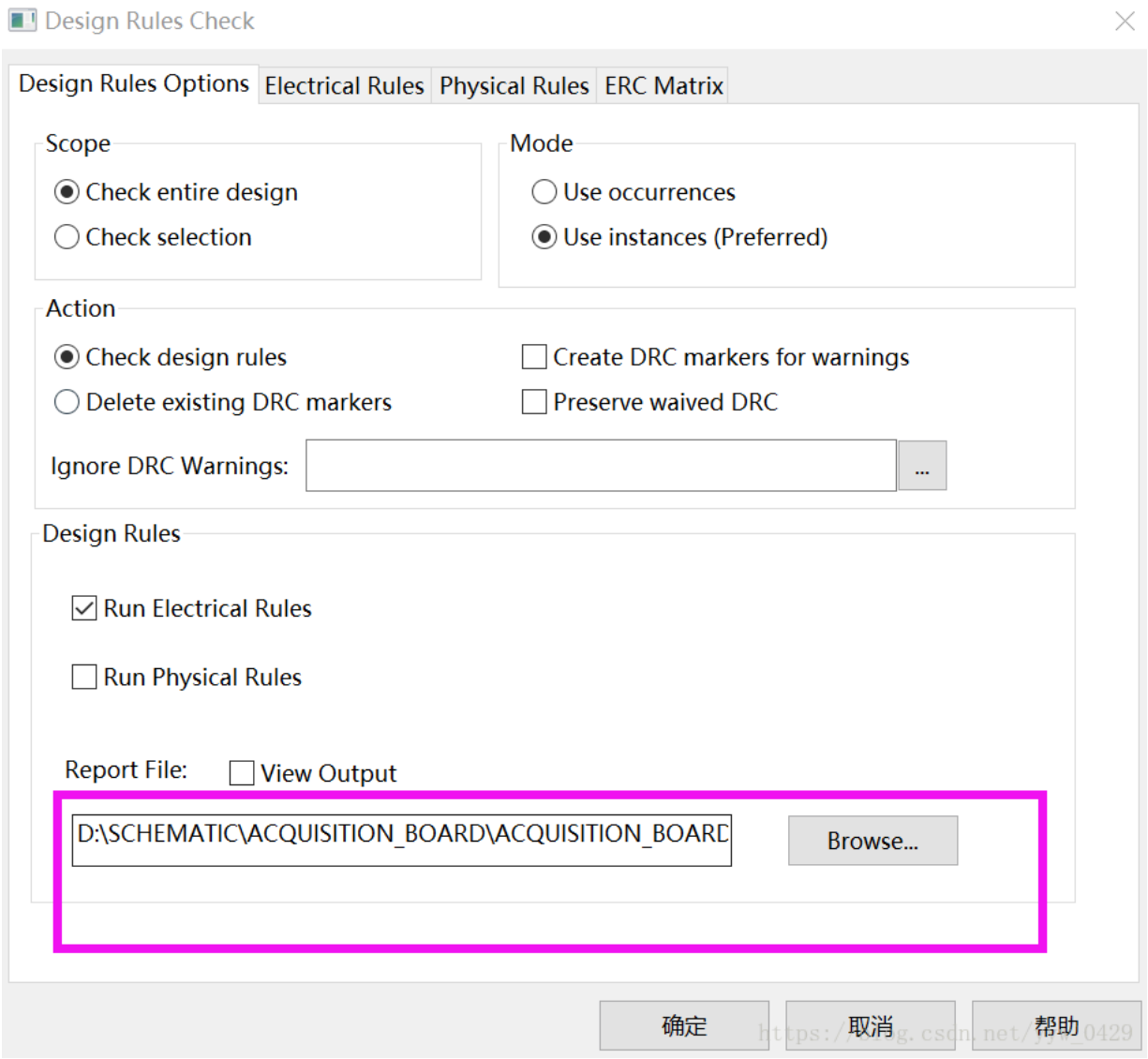
原创 发了疯的哈士奇 于 2018-09-10 00:31:12 发布 阅读量1.5w 收藏 117 点赞数 25

文章标签： PCB设计 Orcad网表导入 Allegro

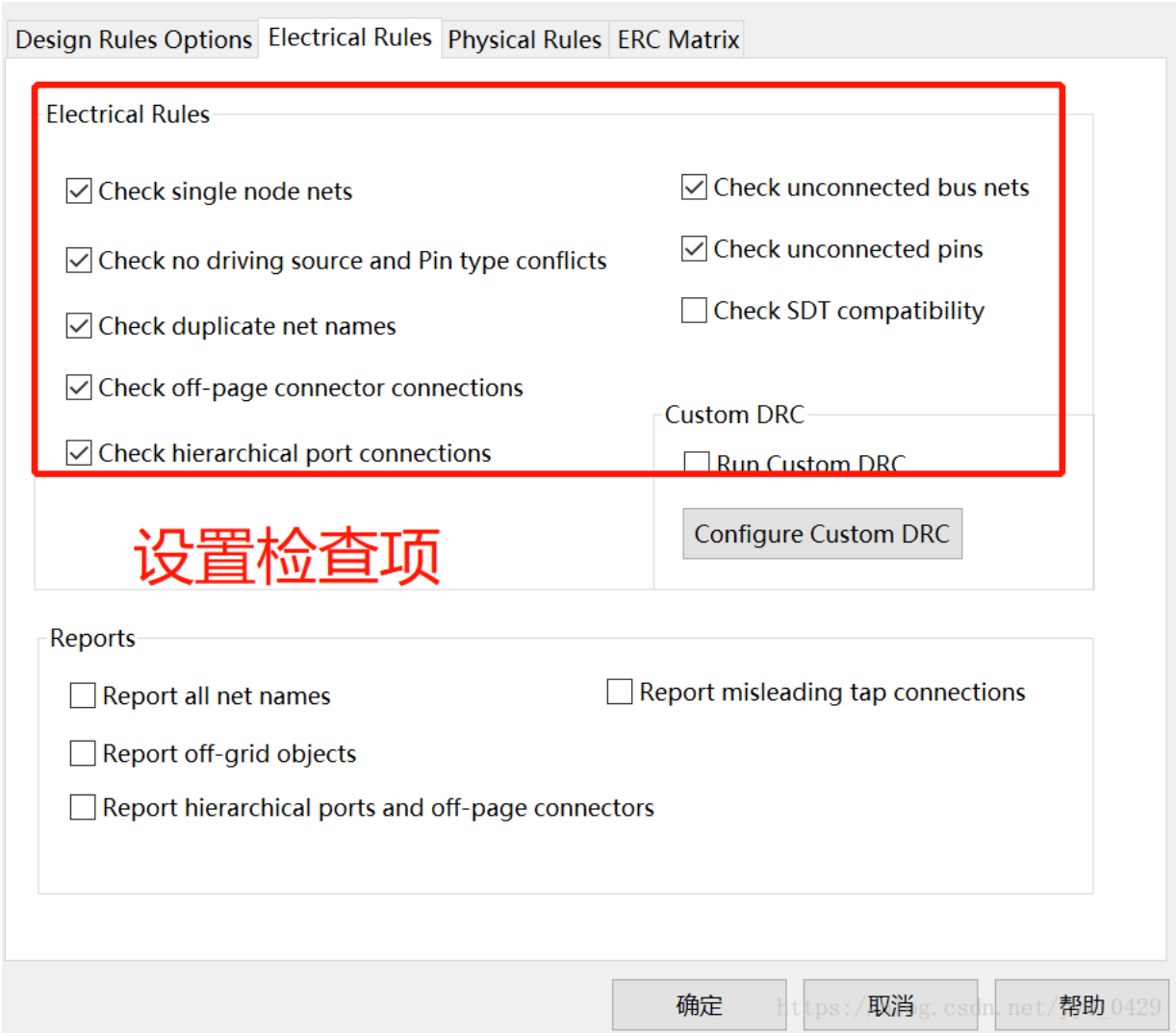
进行到这一步，应该已经完成原理图绘制和元件封装设计了。接下来要做的工作是将Orcad绘制的原理图转成网表，输入到allegro中设计。

Orcad是一个强大的并且好用的原理图绘制软件，生成的网表可以输入到多种PCB设计工具中，包括Allegro、AD等。导入到Allegro是的网表生成方式，接下来就让我们看看如何生成网表文件：

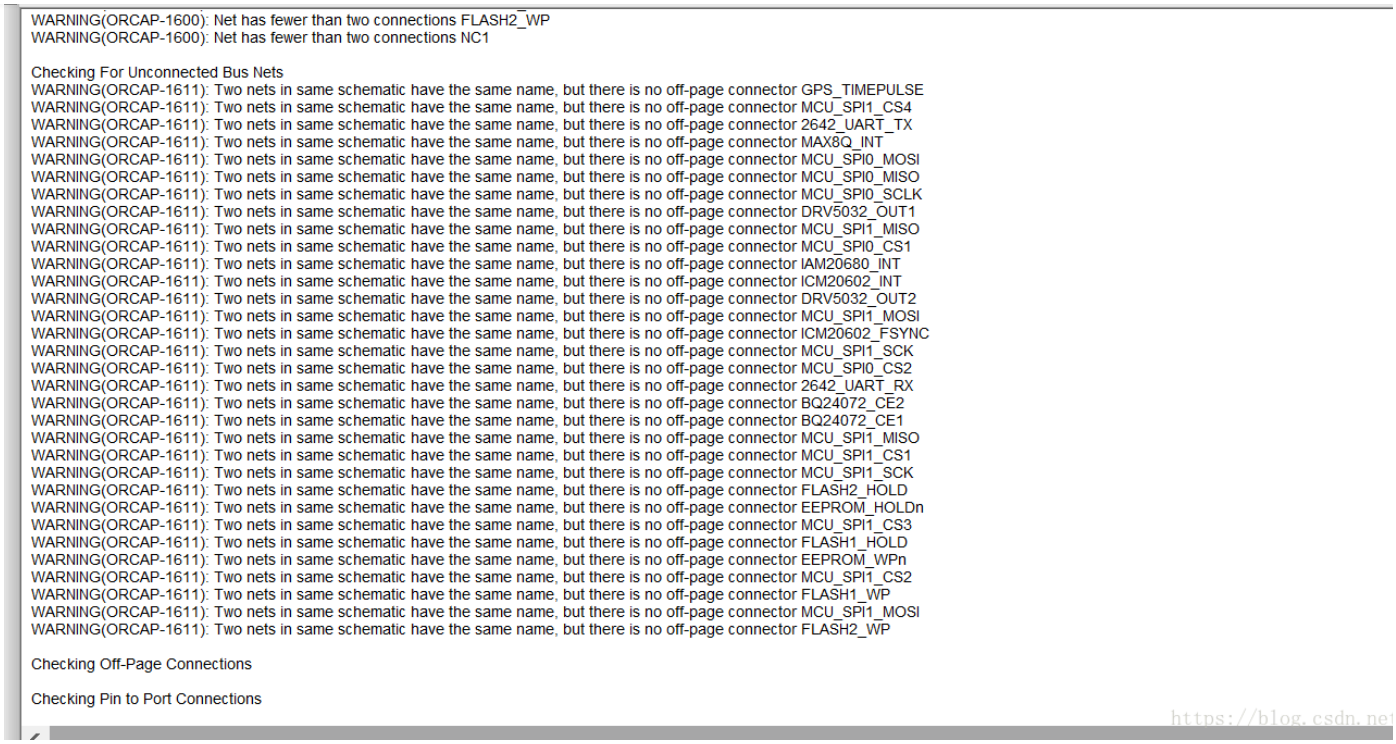
1、原理图DRC检查：画完原理图后做的第一件事是进行DRC检查，选中要进行DRC检查的.dsn原理图，工具栏选择tools->Design Rule打开Design Rules check选项，进行DRC检查项的设置，如下图所示：



上图中方框中是设置检查报告的输出路径，一般检查完如果有错误，会自动显示报告单，所以此项设置可以不用理会，其他选项系统可。接下来点击Electrical rules进行检查项设置：



如图中所示是所有可以进行DRC检查的检查项，包括单端网络、引脚冲突等等，所有的检查项都可以勾选上，在报告单中提示的错误有问题，可以把对应的检查项勾掉，再重新进行DRC规则检查。生成的DRC报告如下图所示：

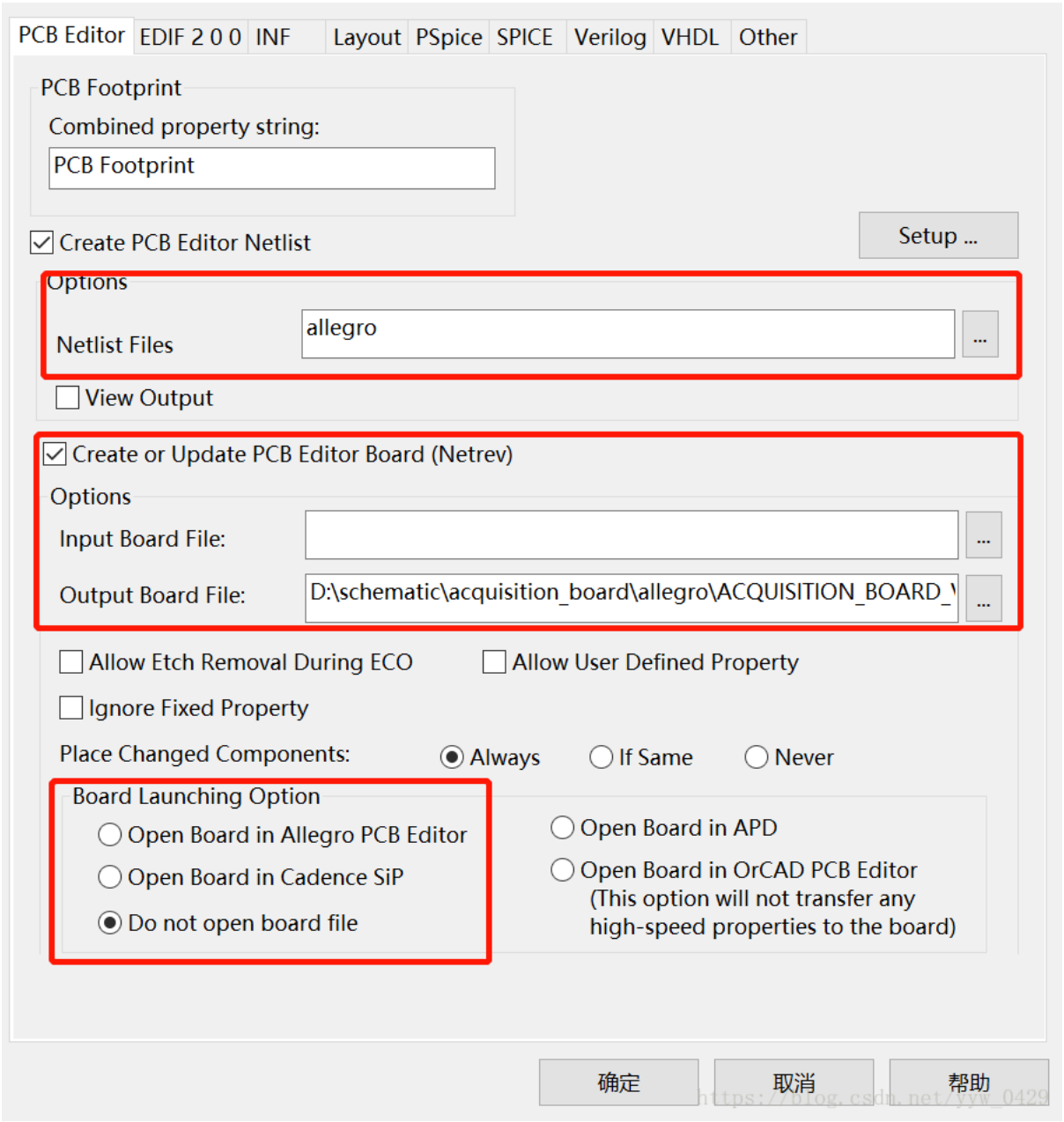


```
WARNING(ORCAP-1600): Net has fewer than two connections FLASH2_WP
WARNING(ORCAP-1600): Net has fewer than two connections NC1

Checking For Unconnected Bus Nets
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector GPS_TIMEPULSE
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_CS4
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector 2642_UART_TX
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MAX8Q_INT
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI0_MOSI
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI0_MISO
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI0_SCLK
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector DRV5032_OUT1
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_MISO
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI0_CS1
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector IAM20680_INT
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector ICM20602_INT
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector DRV5032_OUT2
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_MOSI
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector ICM20602_FSYNC
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_SCK
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI0_CS2
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector 2642_UART_RX
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector BQ24072_CE2
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector BQ24072_CE1
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_MISO
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_CS1
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_SCK
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector FLASH2_HOLD
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector EEPROM_HOLDn
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_CS3
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector FLASH1_HOLD
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector EEPROM_WPn
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_CS2
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector FLASH1_WP
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector MCU_SPI1_MOSI
WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there is no off-page connector FLASH2_WP

Checking Off-Page Connections

Checking Pin to Port Connections
```

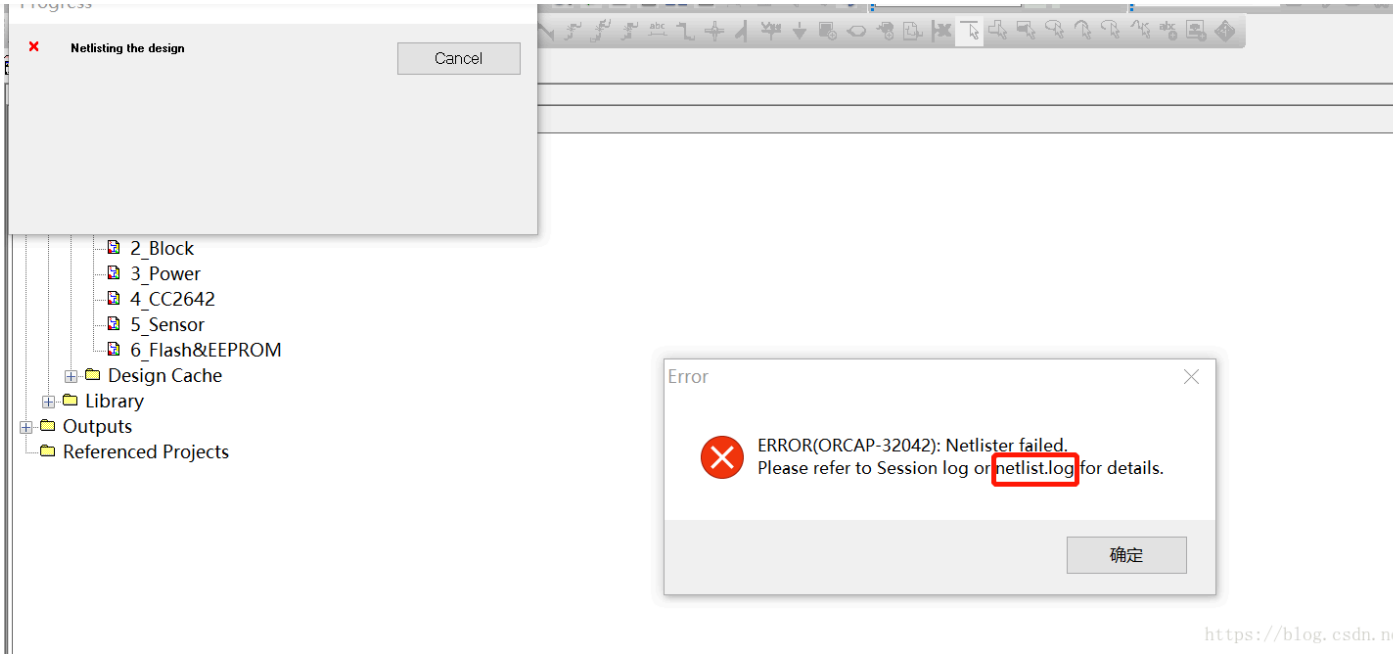
https://blog.csdn.net

我生成的检查报告的警告主要有一个问题：WARNING(ORCAP-1611): Two nets in same schematic have the same name, but there off-page connector GPS_TIMEPULSE。没有off-page connector，在原理图不同page之间应该加上off-page connector符号，表明输系，这不是必须要添加的，所以此警告可以忽略。

2、生成网表文件：接下来进入正菜，生成网表文件！DRC检查通过没有问题后，开始生成网表文件，选中要生成网表的.dsn文件，在击tools->creat netlist,如下图所示：



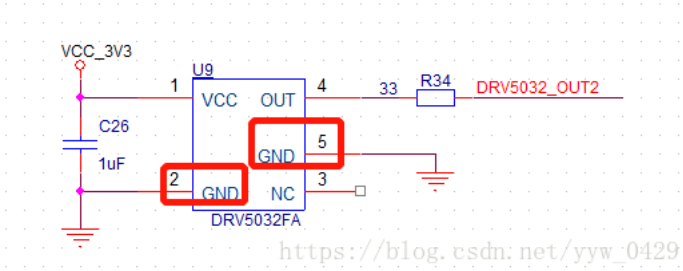
在PCB Editor栏，用于设置网表文件的输出路径，网表文件的类型等。首先是勾选create PCB Editor Netlist,在Netlist file中选
表文件的保存路径，系统默认会建立一个allegro的文件夹，可以保存到自动建立的文件夹中，点击…可以选择保存路径，在此使用默
接下来勾选Create or Update PCB Editor Board,意思是创建或更新PCB Editor Board文件，这时会新建一个PCB文件，后缀名为.br
们自己有建立好的PCB文件，此项可以不勾选，直接生成网表，在我们早已建好的PCB文件中输入网表即可（加下来介绍）。只有勾选
更新PCB Editor文件，才需要设置新建的.brd文件的保存路径，根据个人需要设置即可。最下面红框中用于选择是否打开Allegro PC
软件，在此选择不打开，其他选项不需要设置，默认即可，点击确定，就开始生成网表文件了。如果原理图有问题，那么就不会生成
显示生成网表错误，并会提示错误信息的打印路径，如下图所示：



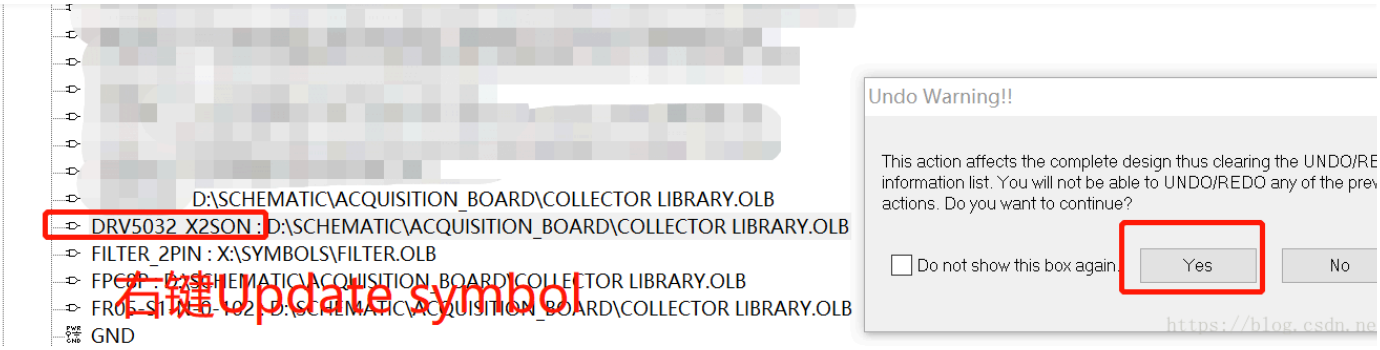
根据提示错误信息保存在ntelist.log中，该文件在之前设置的网表文件存储路径下，打开之后查看是什么错误对应修改即可，如下图

```
{ Using PSTWRITER 16.6.0 d001Sep-09-2018 at 23:19:24 }

#1 ERROR(ORCAP-36041): Duplicate Pin Name "GND" found on Package DRV5032
_X2SON , U9 Pin Number 5: SCHEMATIC1, 5_Sensor (5.20, 1.10). Please renumber
one of these.
#2 ERROR(ORCAP-36018): Aborting Netlisting... Please correct the above errors
and retry.
```

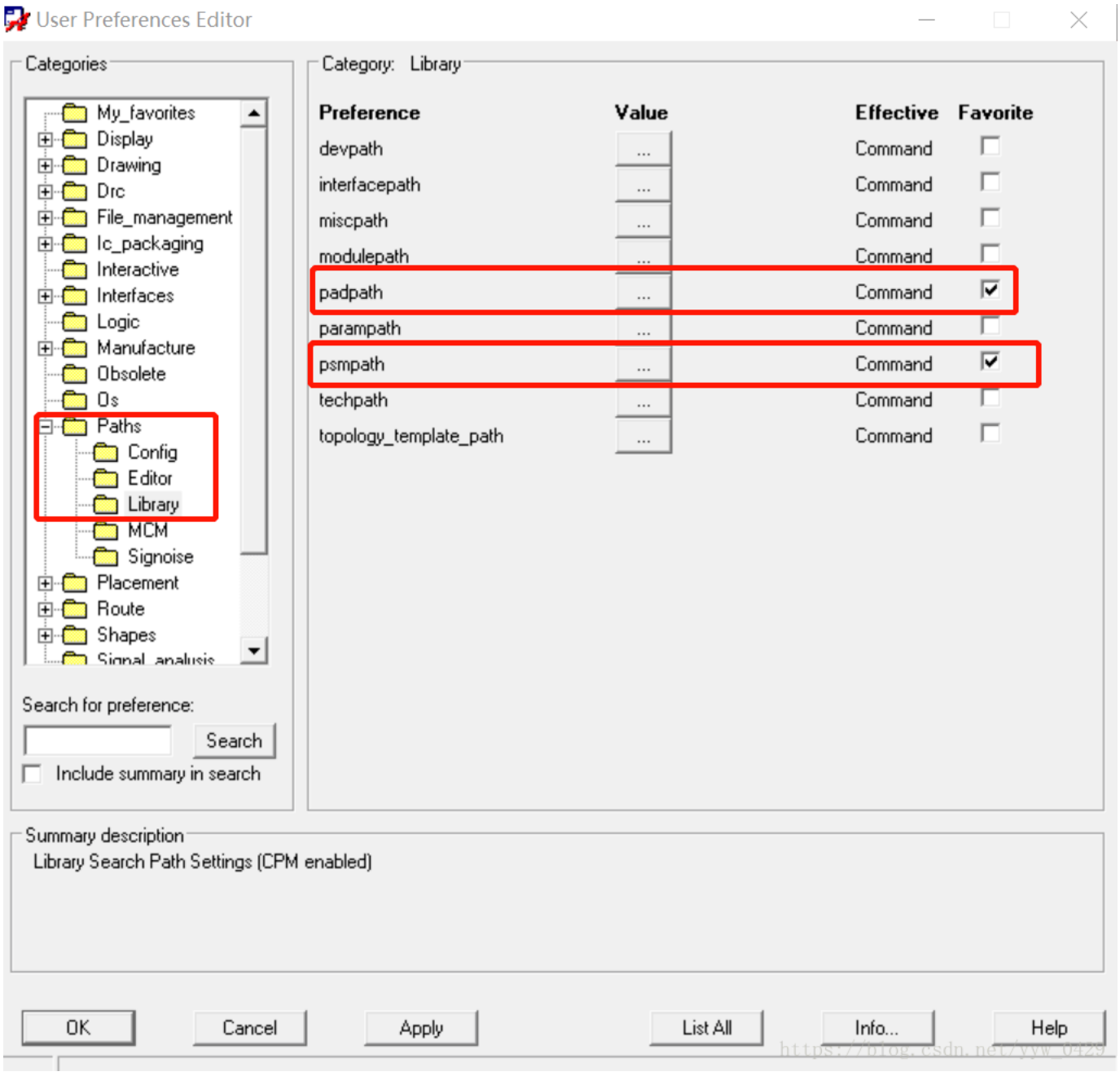
导致该错误的原因是原理图符号中的引脚定义重复了，有两个GND，修改一下原理图符号，把其中一个GND命名修改为GND1即可。首先图符号，修改命名，修改完成后保存，接下来更新一下design cache，否则系统调用的原理图符号还是之前缓存在内存里的旧原理图新完成后就可以看到原理图符号改变了。再重新生成网表，直到没有错误为止，修改如下图所示：



CSDN 博客 下载 学习 社区 C知道 GitCode InsCode 会议 登录 会员中心

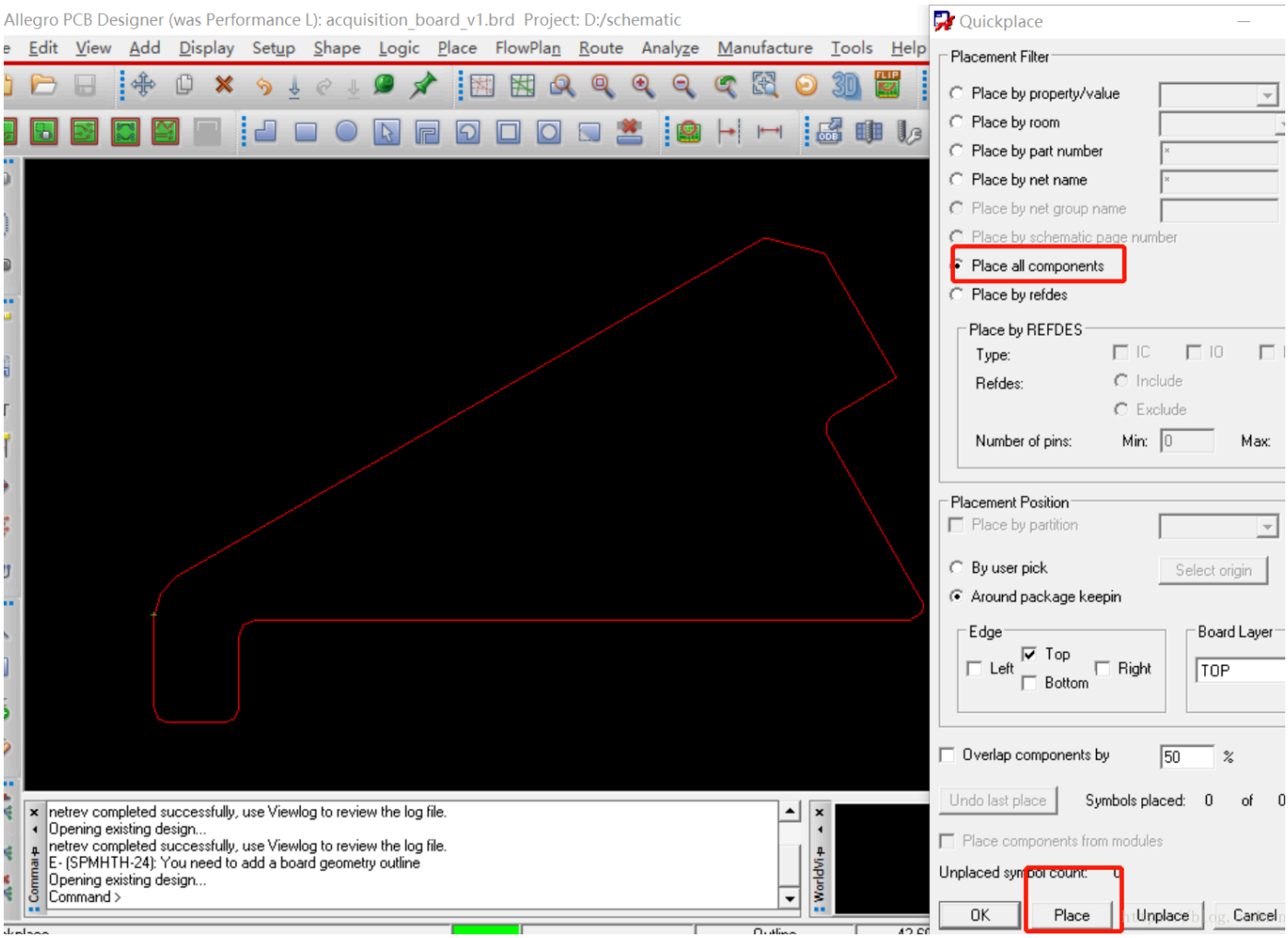


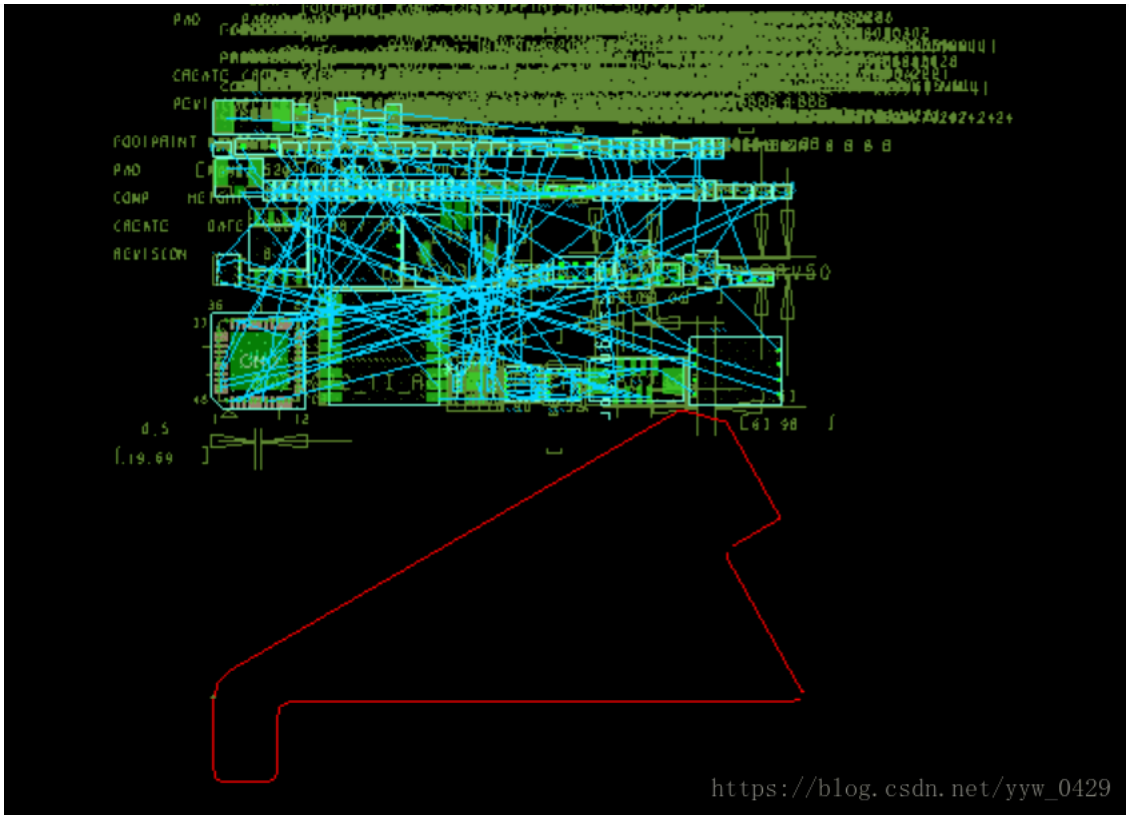
3、allegro中导入网表：接下来进行最后一步，将生成的网表导入到allegro中。导入之前需要确定padpath路径和psmpath路径包含原中用到的所有封装、焊盘、FLash所在的路径，否则输入时会报错显示无法找到封装。设置方法是setup-> user preferences->libra>path，设置如下图所示：



点击…将封装文件路径添加进来。接下来还要画出板的边框outline，否则无法Place元件（板边框绘制会在下篇文章单独介绍）。有框，就可以导入网表了，点击File->Import->Logic，设置网表生成设置，如下图所示：

import logic type选择 Orcad Capture，输入路径选择网表文件的生成路径，点击import Cadence，即可将网表输入到allegro中。他软件建立的网表，可以在other中设置输入。点击import Cadence后，如果有错误或者警告，会产生提示信息。错误是必须修改的，的引脚和原理图符号不对应，没有找到封装等。警告是可以忽略的，可改可不改。输入网表成功后，你会发现并没有任何的元件出现（与AD不同），这是因为Allegro需要点击Place来放置元件到PCB板上。操作方法如下：点击工具栏Place->quickplace，是将所有元到界面里，在手动布局，如下图所示：

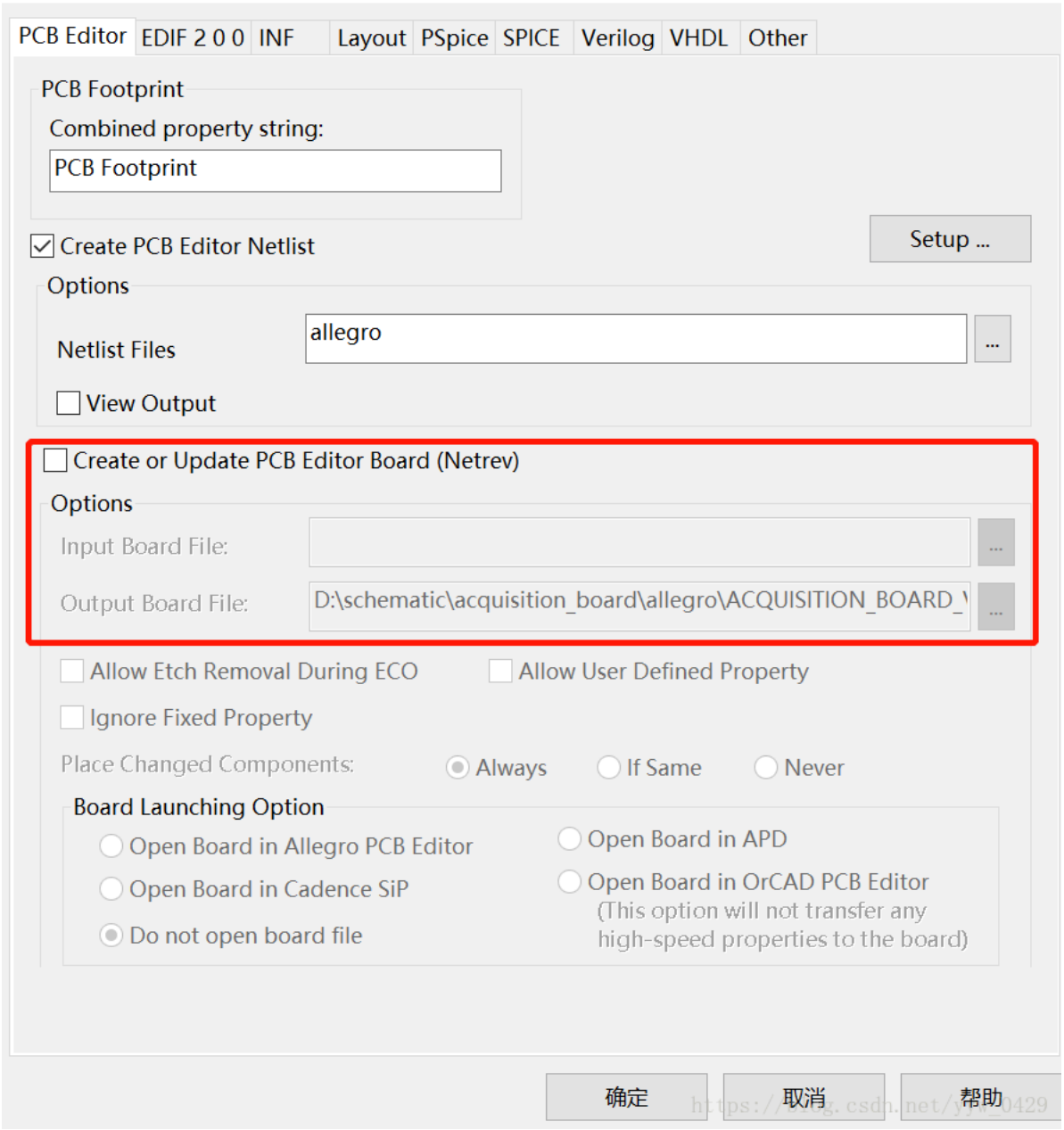




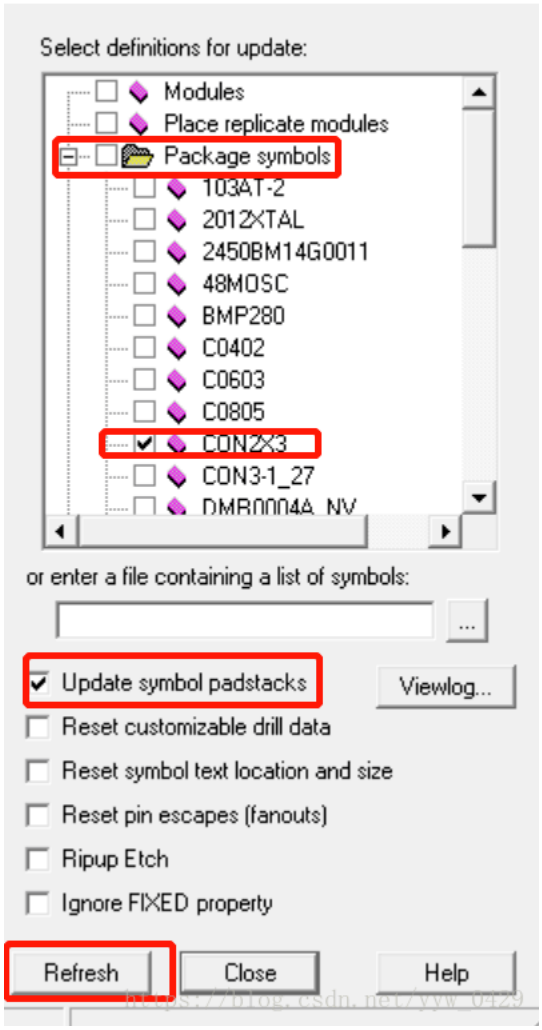
至此，导入网表到allegro的过程就完成了！在这里有两个常用的地方：一是如果原理图修改了，如何保证原有布局不变的情况下只更新修改部分？二是原理图没有修改，只修改了某个元件封装，如何更新？

第一个的解决方法是在orcad中重新生成网表，这里重点要注意，Create or Update PCB Editor可以不勾选，如果勾选了那么output file栏一定不能选择布局了元件封装的.brd文件，否则又会生成一个空白的新的.brd文件。

如下图所示：



第二个解决办法是选择工具栏Place->Update symbols,选择需要更新的封装名称，如下图所示：



Update padstack一定要勾选，否则焊盘不会被更新！！！！

以上是关于从Orcad中导入网表到Allegro PCB Editor中的方法，如果想了解如何生成封装，可以看我的上一篇博文！

转发请注明来源，谢谢！

【Cadence16.6—Day4】用Cadence16.6将网表导入PCB Roger_717的
接着第三天的内容已经将原理图，PCB封装都就绪，各元器件的Value以及PCB FootPoint都已经配置好了。 1. 原理图DRC检查与处理 原理图设计完成后一定要进行DRC

Orcad原理图导入到Allegro的方法
本文介绍了从Orcad原理图输出网表导入到Allegro布线工具的方法，对硬件开发有帮助。

如何在AD中导入orCAD生成的网表(图文)_ad导入网络表
在工作中,遇到了一个使用orCAD原理图的项目,研究了一上午,找到了AD10导入orCAD网表(.NET)的方法 准备工具 1.AD10 2.orCAD Capture 16.6 3.待导入网表 1.原理图导

关于allegro16.6 orCAD capture CIS 创建网表出现错误的问题解决方法...
1) Choose Start > Run to open the Run window. 2) Type cmd to open the command line window 3) Go to <Install_dir>\tools\capture, where <Install_dir> is the path for th

Allegro 入门流程（一） 最新发布 qq_51702849的
电子笔记 自用

OrCAD导出网表到Allegro PCB中 qizhi321123的
1.首先打开已经编译通过的原理图，选中工程文件，后缀为.dsn文件 2.执行Tools>>Create Netlist指令或者直接点击工具栏中Create netlist图标，如图所示 3.弹出窗口后，

Cadence 16.6PCB设计之PCB封装设计笔记_pcb editor导出pcb封装-CSDN博...
本文使用的是Cadence16.6,使用Orcad画原理图,导出网表在Allegro中画PCB。Allegro PCB封装设计要用的工具有Pad designer和PCB editor。 PCB封装是PCB设计的第-

cadence16.6 中orcad导出网表时ERROR (ORCAP-5004)(win7 旗舰版32位...
1,选择开始>运行,打开运行窗口。 2,输入cmd,打开命令行窗口。 3,进入cmd,找到orpxllite.ocx和orTrueReuse.ocx的所在的目录 4,输入以下命令: regsvr32 "D:\Program File

orcad 导出网表到allegro的方法 热门推荐 zmq5411的
注意事项： 一.Capture原理图的准备工作 1。Part的Pin的定义 为了能顺利产生网络表，必须对Part Pin的Name、Number和Type都要定义好，并且同一Part的Name和Nu

【笔记-OrCAD】WARNING(ORCAP-36038)解决办法
OrCAD16.6绘制好原理图后,点击“*.dsn”文件可以生成网表,在存放原理图的文件内找到allegro文件夹,用记事本打开netlist.log文件,可以看到具体的警告原因,例如: WARNIN

OrCAD(一)简介、安装与基本使用_orcad安装教程16.6
以下以OrCAD16.6版本为例。 安装 1.首先下载Cadence Allegro SPB orCAD16. 6 安装包(自行百度),下载之后运行其中的setup.exe 然后先安装第一项License Manager 安

【分享贴】将ORCAD原理图导入allegro中进行PCB设计 zangqihu的
一、原理图部分 1、 首先打开画好的原理图，打开后如下 2、 进行生成网表 选择项目，点击Tools >>>Create Netlist 按照下图方式进行选择，然后点击确认 再次点击 是 3

Cadence ORCAD Allegro 16.6及17.2CIS配置说明.pdf
Cadence ORCAD Allegro 16.6及17.2 CIS配置说明主要涉及了在电路设计流程中如何正确配置和使用Cadence的Component Information System (CIS)。CIS是一个强大的

OrCAD(二)功能详情与实战总结
OrCAD(二)功能详情与实战总结 目录 菜单栏 工具栏 元件库 自顶向下的原理图设计 器件封装 生成网表 BOM表 快捷键 常用操作 注意事项 菜单栏 只放重点内容,那些一看

Cadence Allegro实战攻略与高速PCB设计
Cadence Allegro设计参考书。

Cadence Allegro 16.6操作技巧_ 详解Xnet的网络设置及应用.docx
Cadence Allegro 16.6是PCB Layout设计中常用的电路板设计软件之一，而Xnet是其中的一个重要组件，用于设置网络连接。下面我们将详细介绍Xnet的网络设置及应用。

Cadence Allegro SPB orCAD 16.6破解文件.rar
文件是Cadence Allegro SPB orCAD 16.6破解文件，Cadence Allegro SPB orCAD 16.6是目前常用的电路设计工具和PCB设计工具，功能完善且强大。破解文件中有详细

AD网表转allegro网表; allegro利用器件坐标和网络列表提取第三方网表
1. 当拿到AD原理图，有只会allegro画板时，只需要AD导出网表，再通过此文件转换成allegro网表，即可得到第三方网表； 2.当只拿到allegro的BRD文件，没有原理图时，

Cadence16.6学习笔记_20201218.pdf
Cadence 16.6 学习笔记 Cadence 16.6 是一款功能强大、功能齐全的 PCBA 设计...Cadence 16.6 学习笔记涵盖了网表相关、Allegro 实用技巧等多个方面的知识点，为电

20130621-OrCAD16.6导出网表设置 2974786048的

【Cadence Allegro16.6教程】06 添加页码符号、生成网络表 qq_44800056的
本文介绍了如何用Cadence Allegro 16.6添加页码符号、生成网络表以及常见的报错。

ad原理图怎么输出网络到allegro_Orcad输出的第一方网表文件如何导入到Allegro软件中？... weixin_39684454的
现在市面上用的最多的是，Orcad软件绘制原理图，Allegro软件绘制PCB版图。我们现在讲解一下怎么使用Orcad软件将绘制好的原理图，输出第一方的网表，然后将第一

cadence OrCAD原理图输出-Netlist（网表）文件 weixin_46158019的
一、输出前DRC检查使用orcad设计完原理图，进行网表输出前需要先DRC检查。DRC检查主要是对各种设计Rule的检查，查用的检查如原件的位号是否重复，以及是否有

Cadence Allegro PCB设计88问解析(三) 之 Orcad网表导入及与Allegro交互 刘小同学的
器件放入成功之后，就该布局设计了。如果以上步骤都是OK的，并且要交互的原理图是Allegro导入网表的原理图，那此时点击原理图中的symbol，在Allegro中的器件就会

Cadence Allegro 16.6 PCB设计教程：从入门到精通
该资源是一个关于Cadence Allegro 16.6 PCB设计的教程，涵盖了从环境介绍到PCB设计后处理的全过程。主要内容包括Allegro环境的各个功能、PCB设计流程、主要产品

关于我们 招贤纳士 商务合作 寻求报道 400-660-0108 kefu@csdn.net 在线客服 工作时间 8:30-22:00
公安备案号11010502030143 京ICP备19004658号 京网文〔2020〕1039-165号 经营性网站备案信息 北京互联网违法和不良信息举报中心
家长监护 网络110报警服务 中国互联网举报中心 Chrome商店下载 账号管理规范 版权与免责声明 版权申诉 出版物许可证 营业执照
©1999-2024北京创新乐知网络技术有限公司



发了疯的哈士奇
码龄6年 暂无认证

16	30万+	120万+	17万+	
原创	周排名	总排名	访问	等级

1337	236	198	34	1161
积分	粉丝	获赞	评论	收藏

私信 关注



搜博主文章

CSDN已关闭此广告

用CSDN插件，永无广告，立即体验

热门文章

Cadence 16.6PCB设计之PCB封装设计笔记 38092

Cadence 16.6PCB设计之布局布线常用功能学习笔记 31690

六轴传感器icm20602的自检和校准学习 30710

Cadence 16.6 PCB 设计笔记之从Orcad输出网表到allegro PCB Editor 15978

allegro中查看过孔是通孔还是盲孔或者埋孔的方法 13069

分类专栏

PCB设计 3篇

BLE5开发 2篇

CC2642 4篇

linux 3篇

传感 1篇

最新评论

CC2642研究之控制SPI Nand FLASH和E…
weixin_52076901: 博主写的很好，希望博主能给予一份源码，十分感谢！谢谢，我 …

CC2642添加自定义特征值Characteristic…
D博文.: up，能不能要一份源码？谢谢

CC2642研究之控制SPI Nand FLASH和E…
ratio1618: 您好，希望博主能给予完整代码和FLASH读写操作代码，感谢感谢！我 …

Cadence 16.6 PCB 设计笔记之从Orcad…
Enzo565: 😍😍顶顶😍

Cadence 16.6PCB设计之PCB封装设计…

大家在看

YOLO断裂缺陷数据集分享（边坡、护坡），3284张图像，5500标注，含训练结果与模型 - 幽络源 276

业务流程项目实施方法论 1080

网站升级HTTPS访问——附教程 747

华为OD- 字符串拼接-2024年OD（E卷）

Pytorch | 利用VNI-FGSM针对CIFAR10上的ResNet分类器进行对抗攻击 768

最新文章

makefile中在链接时添加-lpthread参数

BLE5.0蓝牙通信原理及TI BLE协议栈在CC2642上的应用

QT5打包报错提示this application failed to start because if could not find or load the Qt platform plugin

2019年 7篇 2018年 9篇